

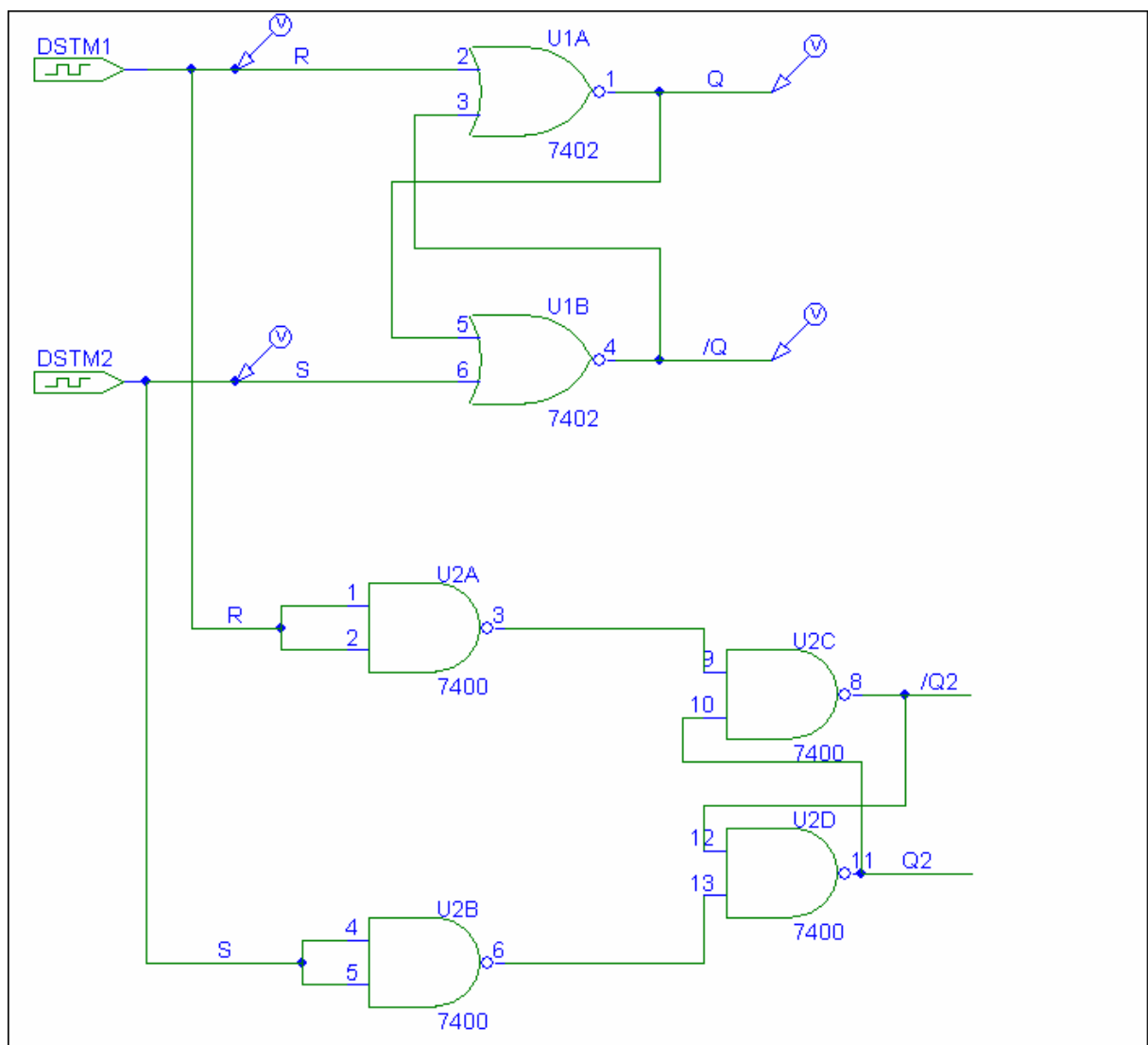
## Übung 1 – RS-FFs mit NOR- oder NAND-Gattern

- Übungsziel: Aufbau eines RS-Flipflops mit NOR- oder NAND-Gattern
- Wahrheitstabelle:

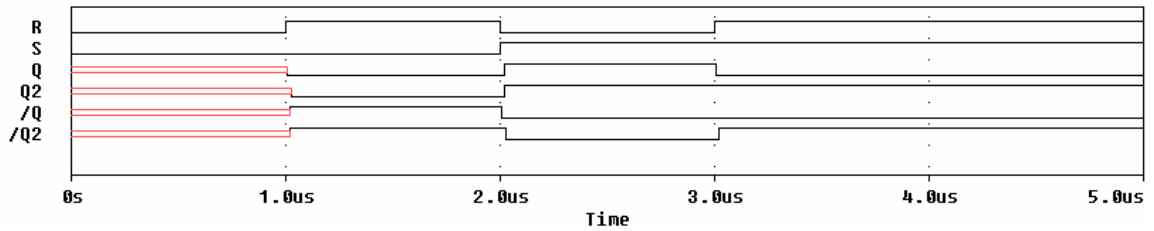
S (Setzen)	R (Rücksetzen)	Q <sub>m</sub> (Aktueller Zustand)	Q <sub>m+1</sub> (Nächster Zustand)
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	*
1	1	1	*

\*... undefinierte bzw. nicht erlaubte Zustände (ein Flipflop kann nicht gleichzeitig gesetzt und rückgesetzt werden)

- Stromlaufplan (sowohl mit NAND- als auch mit NOR-Gattern):



- Impulsdiagramm:



Anmerkungen: Der Anfangszustand eines Flipflops ist undefiniert (rote Doppellinien im Impulsdiagramm). Ein gleichzeitiges Setzen und Rücksetzen ist nicht möglich, da dadurch Q und /Q (siehe Skizze) gleich wären.

## 2 – JK-FF, D-FF

- Übungsziel: Testen der Funktionsweise eines JK- bzw. eines D-Flipflops
- Wahrheitstabelle (JK-Flipflop):

J (Setzen)	K (Rücksetzen)	Q <sub>m</sub> (Aktueller Zustand)	Q <sub>m+1</sub> (Nächster Zustand)
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

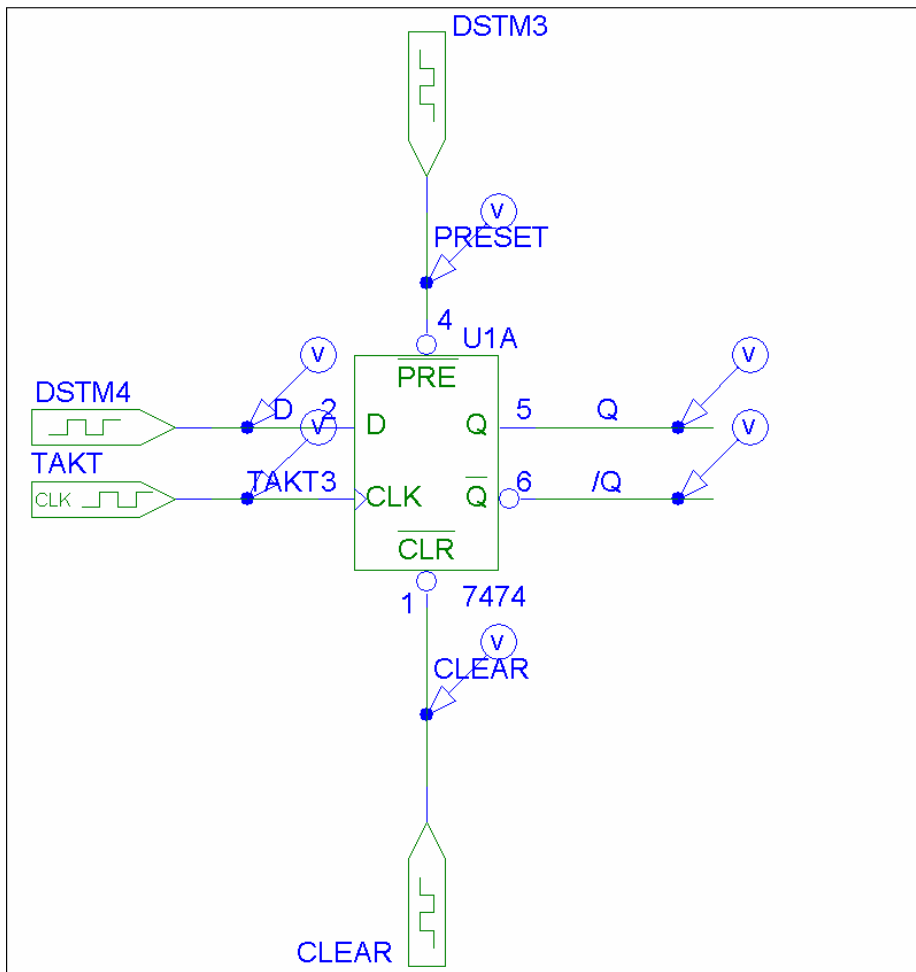
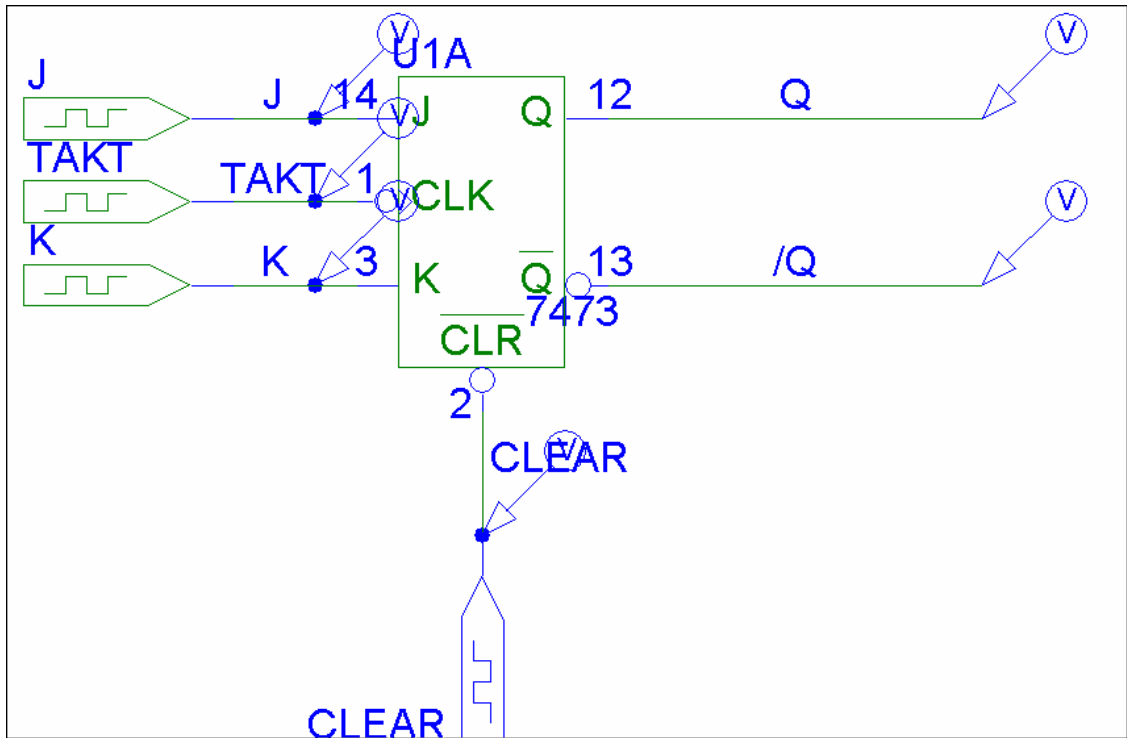
Anmerkung: die roten markierten Zustände sind jene, die beim „gewöhnlichen“ Flipflop undefiniert sind – beim JK-Flipflop bewirkt ein Gleichzeitiges Setzen und Rücksetzen ein gegenteiliges Ändern des aktuellen Zustands (es „toggelt“).

- Wahrheitstabelle

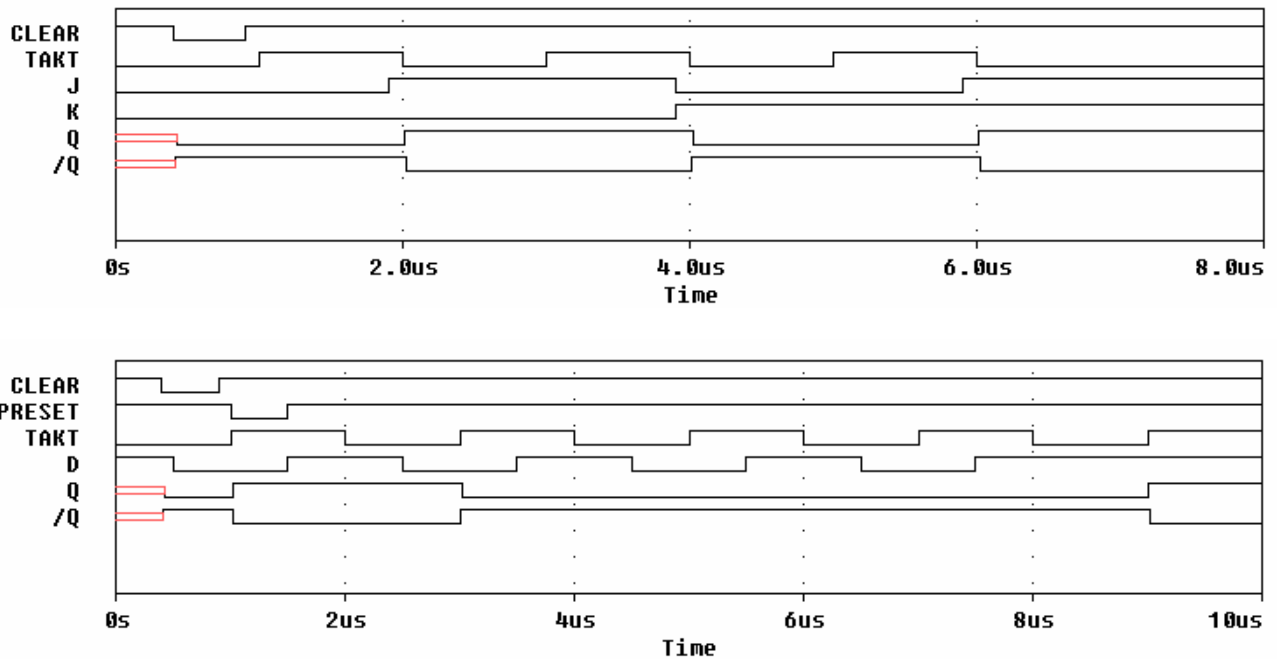
D	Q <sub>m+1</sub> (Nächster Zustand)
0	0
1	1

Beide Flipflops (JK- sowie D-Flipflop) reagieren auf eine Taktflanke, sprich eine Änderung im Taktsignal. Je nachdem, ob das Flipflop positiv oder negativ flankengetriggert ist, reagiert es auf eine steigende bzw. eine fallende Flanke.

- Stromlaufpläne (oben JK-, unten D-Flipflop):



- Impulsdiagramm (oben JK-, unten D-Flipflop):



Anmerkungen: Die Stimuli an den Clear-Eingängen der beiden Flipflops sind notwendig, um sie in einen definierten Anfangszustand zu versetzen. Was man aus dem Impulsdiagramm sehr schön heraussehen kann ist die Tatsache, dass beide Flipflop-gattungen auf Taktflanken reagieren, sprich, dass der Zustand mit der jeweiligen Flanke wechselt.

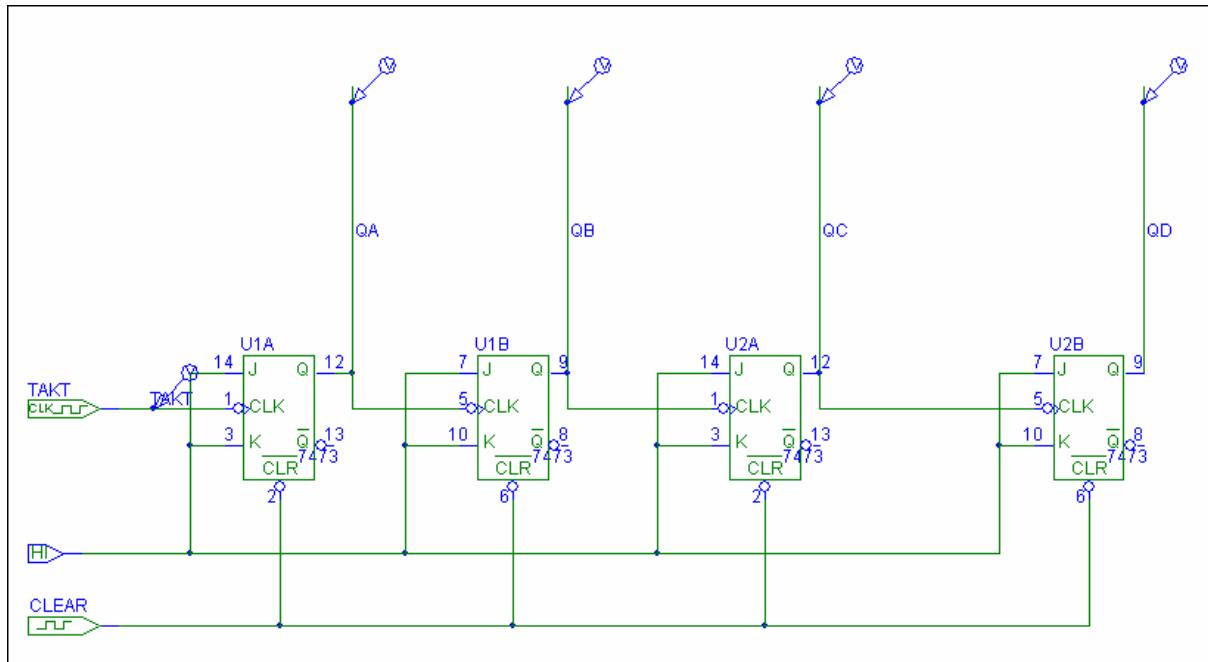
### **3 – Asynchroner 4-Bit-Binärzähler mit JK-FFs**

- Übungsziel: Einen asynchronen 4-Bit Binärzählers mit JK-FlipFlops simulieren. Binäre Vorwärtszähler zählen von NULL ab bis zu ihrem möglichen Höchstwert, schalten dann auf NULL zurück und beginnen dann mit diesem Vorgang erneut.
- Wahrheitstabelle und mögliche Folgezustände bei vollem Spektrum:

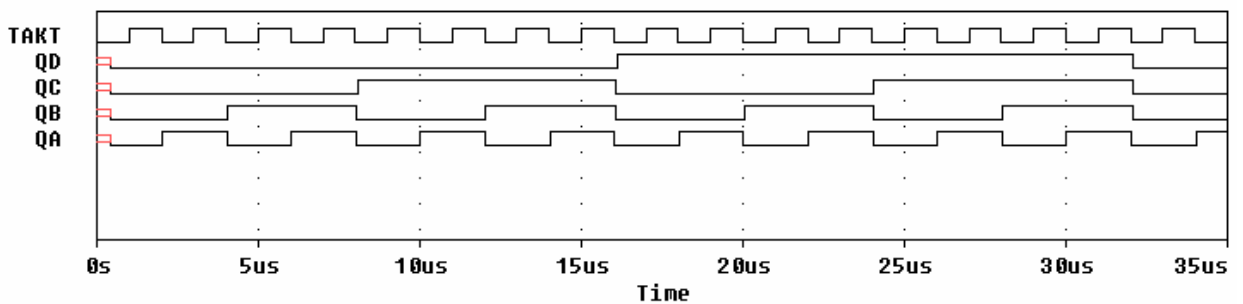
Dez.	QA	QB	QC	QD
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

Dez <sup>+</sup>	QA <sup>+</sup>	QB <sup>+</sup>	QC <sup>+</sup>	QD <sup>+</sup>
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
0	0	0	0	0

- Stromlaufplan



- Impulsdigramm



- Unbedingt beachten: J und K werden durch den HI-Stimulus (links unten) immer auf 1 gesetzt, was ein Toggeln der Flipflops zur Folge hat. Ohne dieses ist der simulierte Betrieb nicht möglich.

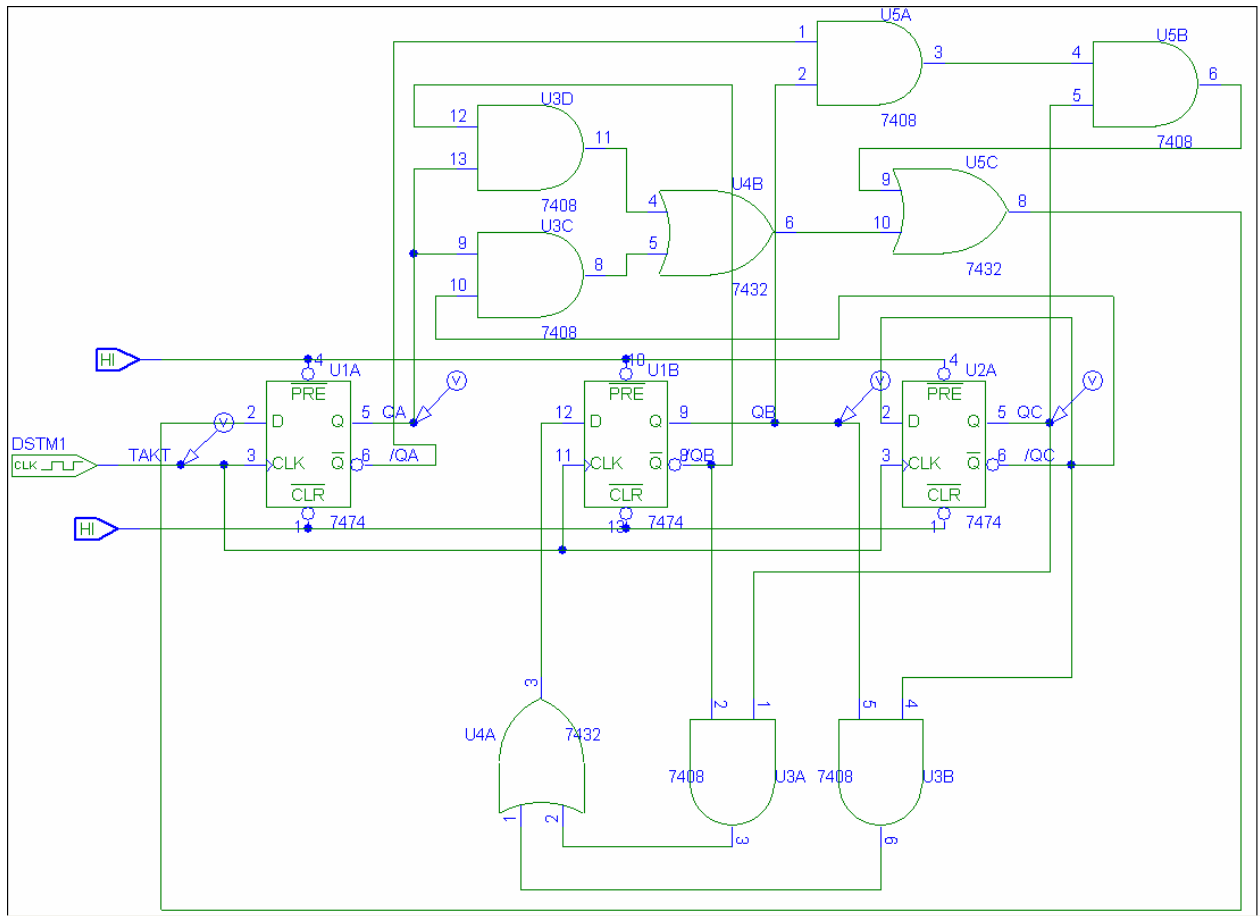
#### 4 – Synchroner 3-Bit-Zähler mit D-FFs

- Übungsziel: Erstellen eines 3-Bit-Binärzählers mit D-Flipflops
- Wahrheitstabelle:

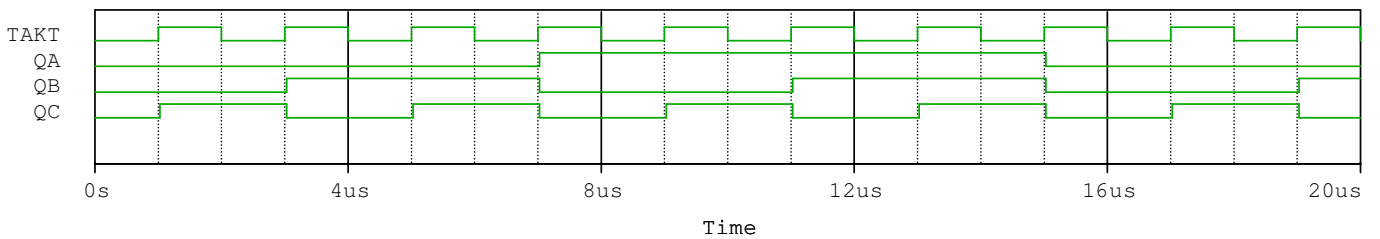
Dez.	QA	QB	QC
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

Dez <sup>+</sup>	QA <sup>+</sup>	QB <sup>+</sup>	QC <sup>+</sup>
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
0	0	0	0

- Stromlaufplan:



- Impulsdiagramm:



**KV-Diagramm für QA<sup>+</sup>**

	QA	QA	/QA	/QA	
	1	0	1	0	QB
	1	1	0	0	/QB
	/QC	QC	QC	/QC	

$$QA^+ = QA^*/QC + QA^*/QB + /QA*QB*QC$$

**KV-Diagramm für QB<sup>+</sup>**

	QA	QA	/QA	/QA	
	1	0	0	1	QB
	0	1	1	0	/QB
	/QC	QC	QC	/QC	

$$QB^+ = /QB*QC + QB^*/QC$$

**KV-Diagramm für QC<sup>+</sup>**

	<b>QA</b>	<b>QA</b>	<b>/QA</b>	<b>/QA</b>	
	1	0	0	1	<b>QB</b>
	1	0	0	1	<b>/QB</b>
	<b>/QC</b>	<b>QC</b>	<b>QC</b>	<b>/QC</b>	

$$QC^+ = /QC$$

Anmerkungen: Die Clear- und Preseteingänge der Flipflops wurden mit einem HI-Stimulus verbunden. Die Logik (oben im Stromlaufplan) sorgt für den jeweils nächsten Zustand (siehe KV-Diagramme oben).

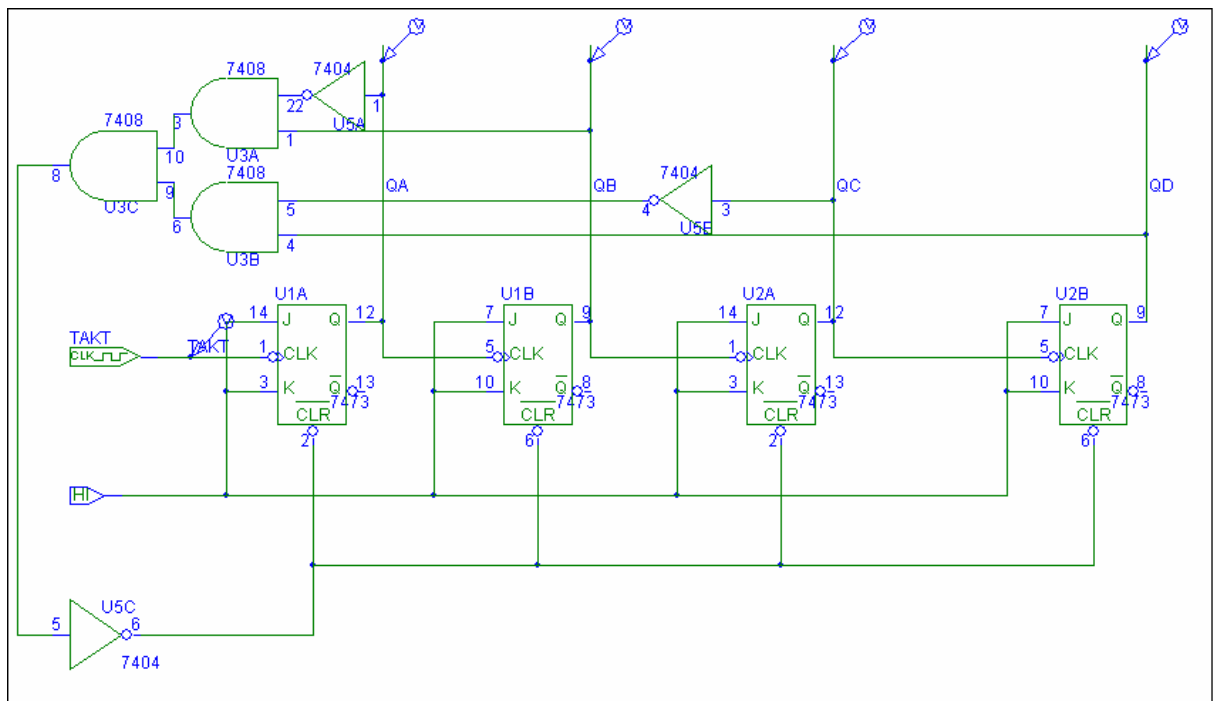
## 5 – Asynchroner Modulo 10-Zähler mit JK-FFs

- Übungsziel: Erstellen einer Schaltung, die von 0 bis 9 zählt und danach wieder bei 0 beginnt (Modulo 10-Zähler); Realisierung mit JK-Flipflops
- Wahrheitstabelle

Dez.	QD	QC	QB	QA
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

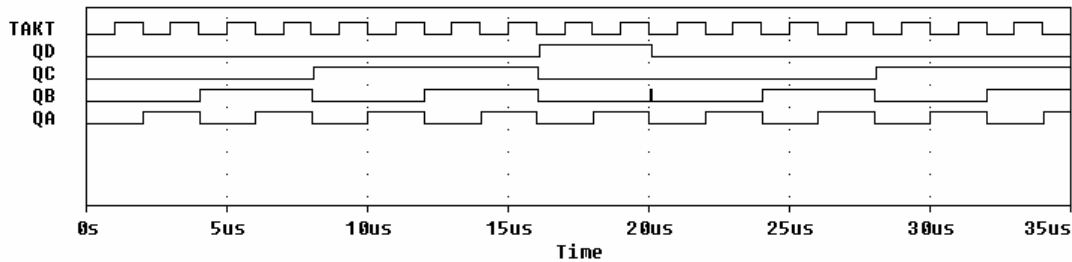
Dez <sup>+</sup>	QD <sup>+</sup>	QC <sup>+</sup>	QB <sup>+</sup>	QA <sup>+</sup>
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
0	0	0	0	0
*	*	*	*	*
*	*	*	*	*
*	*	*	*	*
*	*	*	*	*
*	*	*	*	*
*	*	*	*	*
*	*	*	*	*

- Stromlaufplan:





- Impulsdiagramm:



Anmerkungen: Die Anfangszustände der Flipflops wurden per Digital Setup auf null gesetzt da die Schaltung in dieser Form nicht anders realisierbar gewesen wäre. Das Zurücksetzen des Zählers auf Null, wenn er den „verbotenen“ Zustand zehn erreicht wurde mit einer Logik (oberer Teil des Stromlaufplans) realisiert, die beim Erreichen des Zustands zehn alle Flipflops auf 0 zurücksetzt (was mit einer minimalen Zeitverzögerung geschieht, die den Peak bei QB bei 20us hervorruft), damit der Zähler wieder von Null weiterzählt. Der Inverter (U5C, links unten im Stromlaufplan) rechtfertigt seine Existenz durch die Tatsache, dass die Clear-Eingänge der Flipflops negiert sind. Sie werden also beim Anlegen des Zustands 0 am Clear-Eingang zurückgesetzt.

Konzept der Logik (ausgehend von der Wahrheitstabelle; siehe oben):

Der Zustand 10 wird dann erreicht (siehe Tabellenausschnitt unten), wenn QD=1 und /QC=1 und QB=1 und /QA=1. Das ganze wird als Schaltung (vgl. oben) realisiert.

Dez.	QD	QC	QB	QA
10	1	0	1	0

## 6 – Synchroner Modulo 5-Zähler mit D-FFs

- Übungsziel: Aufbauen einer Schaltung, die von 0 bis 4 zählt und anschließend wieder bei 0 beginnt (Modulo 5-Zähler); Realisierung mit JK-Flipflops
- Wahrheitstabelle:

Dez.	QA	QB	QC
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0

Dez <sup>+</sup>	QA <sup>+</sup>	QB <sup>+</sup>	QC <sup>+</sup>
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
0	0	0	0

### KV-Diagramm für QA<sup>+</sup>

	QA	QA	/QA	/QA	
	X	X	1	0	QB
	0	X	0	0	/QB
	/QC	QC	QC	/QC	

$$QA^+ = QB * QC$$

### KV-Diagramm für QB<sup>+</sup>

	QA	QA	/QA	/QA	
	X	X	0	1	QB
	0	X	1	0	/QB
	/QC	QC	QC	/QC	

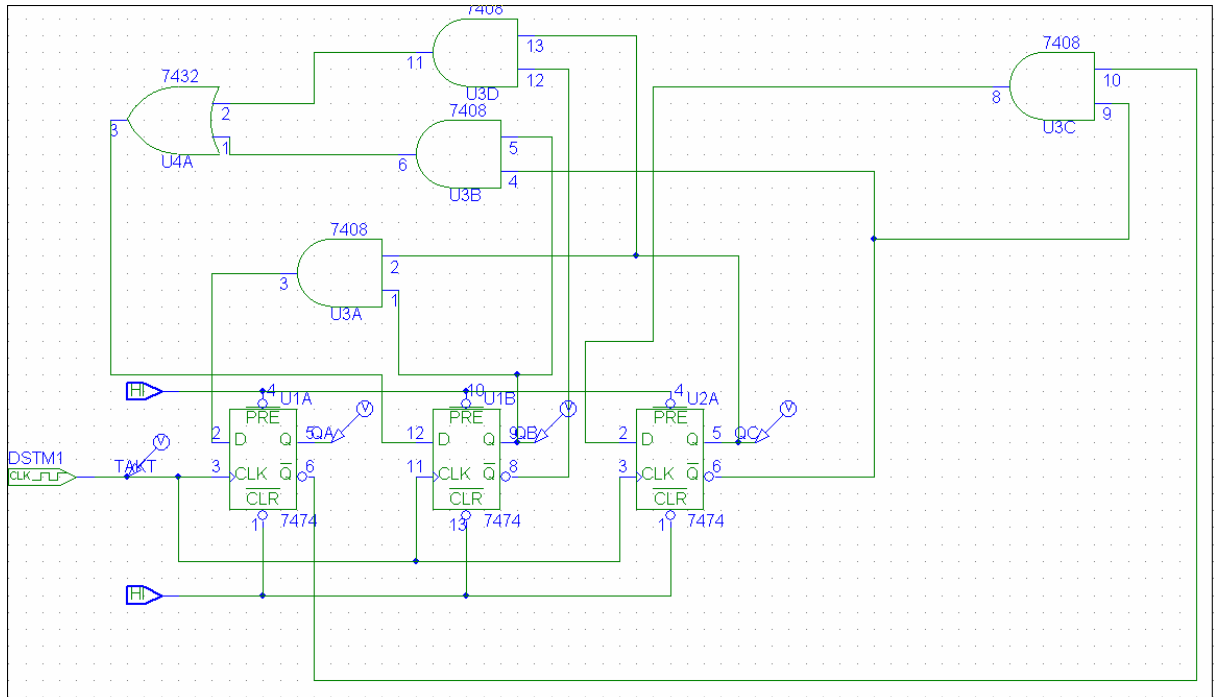
$$QB^+ = QC * /QB + /QC * QB$$

**KV-Diagramm für QC<sup>+</sup>**

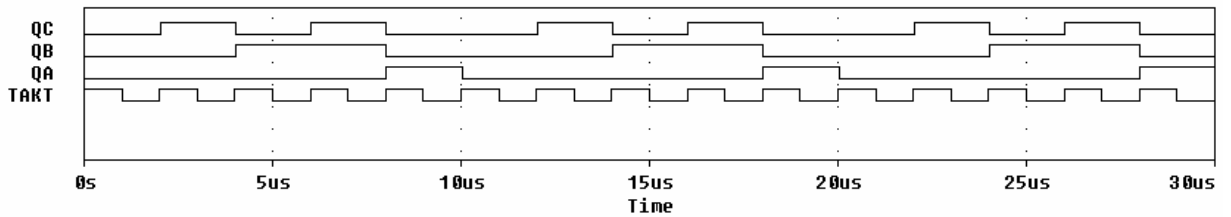
	<b>QA</b>	<b>QA</b>	<b>/QA</b>	<b>/QA</b>	
	X	X	0	1	<b>QB</b>
	0	X	0	1	<b>/QB</b>
	<b>/QC</b>	<b>QC</b>	<b>QC</b>	<b>/QC</b>	

$QC^+ = /QC * /QA$

- Stromlaufplan:



- Impulsdiagramm:



Anmerkungen: Die Clear- und Preseteingänge der Flipflops wurden mit einem HI-Stimulus verbunden. Die Logik (oben im Stromlaufplan) sorgt für den jeweils nächsten Zustand (siehe KV-Diagramme oben). Schlecht zu erkennen sind die Ausgänge (QA, QB und QC), von denen der aktuelle Zustand des Zählers abgelesen werden kann (siehe Impulsdiagramm).

## 8 – Frequenzteiler

- Übungsziel: Erstellen eines Frequenzteilers 1:5 mit dem Tastverhältnis 3:2 (3 Periode High, 2 Perioden Low)
- Wahrheitstabelle:

Dez.	QA	QB	QC
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

Dez <sup>+</sup>	QA <sup>+</sup>	QB <sup>+</sup>	QC <sup>+</sup>	Y <sup>*</sup>
1	0	0	1	1
2	0	1	0	1
3	0	1	1	1
4	1	0	0	0
0	0	0	0	0
*	*	*	*	*
*	*	*	*	*
*	*	*	*	*

\* Y...kombinatorischer Ausgang für das gewünschte Tastverhältnis

### KV-Diagramm für QA<sup>+</sup>

	QA	QA	/QA	/QA	
	*	*	1	0	QB
	0	*	0	0	/QB
	/QC	QC	QC	/QC	

$$QA^+ = QB * QC$$

### KV-Diagramm für QB<sup>+</sup>

	QA	QA	/QA	/QA	
	*	*	0	1	QB
	0	*	1	0	/QB
	/QC	QC	QC	/QC	

$$QB^+ = /QB * QC + QB * /QC$$

### KV-Diagramm für QC<sup>+</sup>

	QA	QA	/QA	/QA	
	*	*	0	1	QB
	0	*	0	1	/QB
	/QC	QC	QC	/QC	

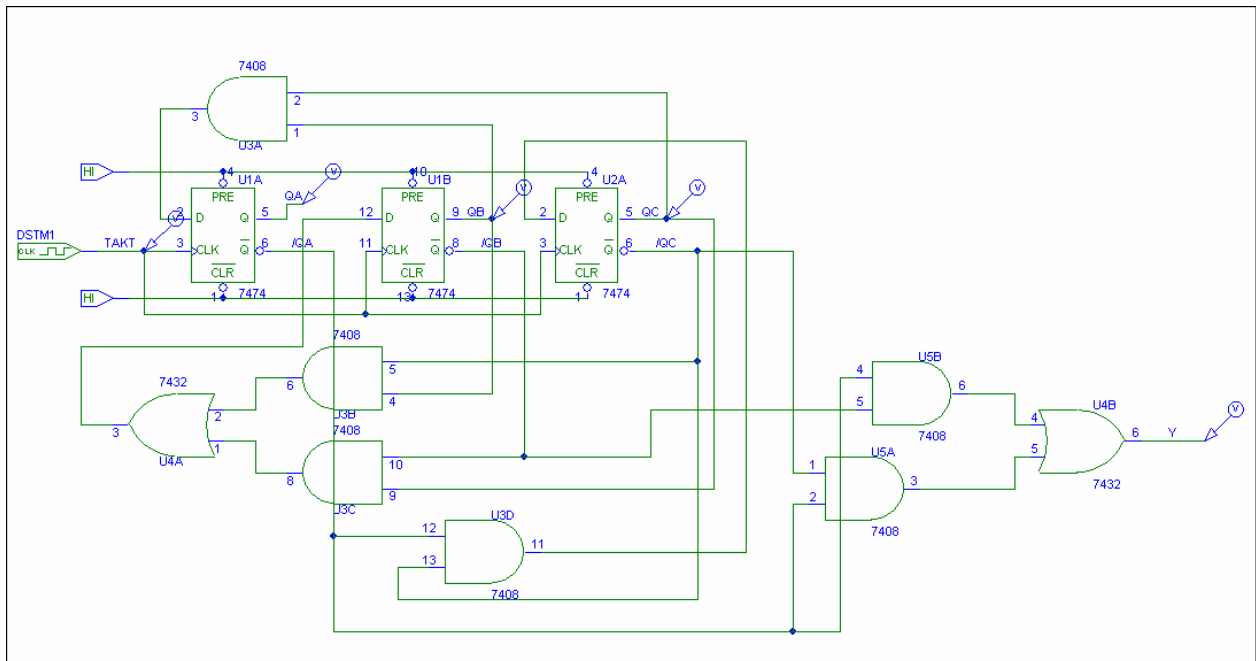
$$QC^+ = /QA * /QC$$

### KV-Diagramm für Y

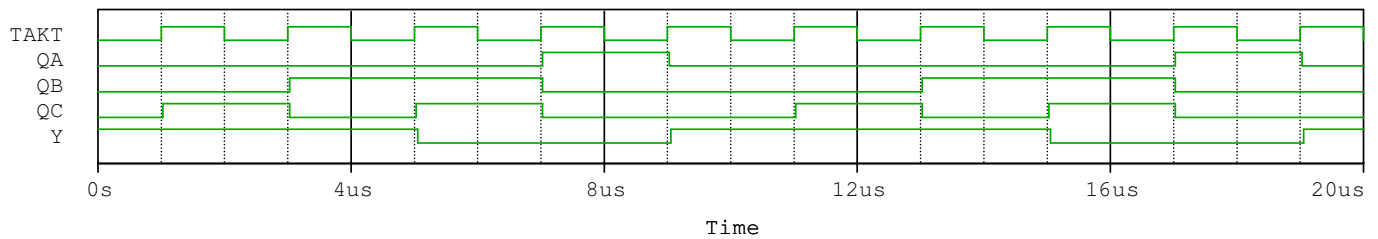
	QA	QA	/QA	/QA	
	*	*	0	1	QB
	0	*	1	1	/QB
	/QC	QC	QC	/QC	

$$Y = /QA * /QC + /QA * /QB$$

- Stromlaufplan:



- Impulsdiagramm:



Anmerkungen: Die Clear- und Preseteingänge der Flipflops wurden mit einem HI-Stimulus verbunden. Die Logik (oben im Stromlaufplan) sorgt für den jeweils nächsten Zustand (siehe KV-Diagramme oben). Der kombinatorische Ausgang Y weist das geforderte High-Low-Verhältnis auf und wurde – wie QA/B/C+ über das Ergebnis des KV-Diagramms realisiert.

**Die Übungen 7 und 9 konnten aus Zeitgründen nicht durchgeführt werden.**